



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月21日

出 願 番 号

Application Number:

特願2001-289588

出 願 人

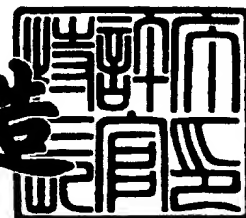
Applicant(s):

株式会社ソニー・コンピュータエンタテインメント

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3100915

【書類名】 特許願

【整理番号】 SCEI01111

【提出日】 平成13年 9月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/16

【発明者】

【住所又は居所】 東京都港区赤坂7丁目1番1号 株式会社ソニー・コンピュータエンタテインメント内

【氏名】 佐々木 伸夫

【特許出願人】

【識別番号】 395015319

【氏名又は名称】 株式会社ソニー・コンピュータエンタテインメント

【代理人】

【識別番号】 100099324

【弁理士】

【氏名又は名称】 鈴木 正剛

【選任した代理人】

【識別番号】 100108604

【弁理士】

【氏名又は名称】 村松 義人

【選任した代理人】

【識別番号】 100111615

【弁理士】

【氏名又は名称】 佐野 良太

【先の出願に基づく優先権主張】

【出願番号】 特願2000-294732

【出願日】 平成12年 9月27日

【手数料の表示】

【予納台帳番号】 031738

特 2001-289588

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109233

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプロセッサシステム、データ処理システム、データ処理方法、コンピュータプログラム

【特許請求の範囲】

【請求項 1】 データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータを含むブロードキャストデータをブロードキャストするコントローラとを備えており、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記ブロードキャストデータから、自らが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うものである、

マルチプロセッサシステム。

【請求項 2】 前記コントローラは、データ処理を行った各々のプロセッサから処理結果を取得するとともに、取得した処理結果を前記ブロードキャストデータとしてすべてのプロセッサ宛にブロードキャストするものである、

請求項 1 記載のマルチプロセッサシステム。

【請求項 3】 前記複数のプロセッサの各々には、各々のプロセッサを識別するための識別データが割り当てられており、

前記コントローラは、前記処理結果にその取得元のプロセッサの識別データが付されたブロードキャストデータを生成してブロードキャストするものであり、

前記複数のプロセッサは、受け取った前記ブロードキャストデータに含まれる前記識別データに基づいて次のタイミングで自らが行うべきデータ処理に必要な前記処理結果を取捨選択するものである、

請求項 1 記載のマルチプロセッサシステム。

【請求項 4】 前記複数のプロセッサのうちデータ処理を終了したプロセッサからその識別データを取得し、取得した識別データを所定の順序で前記コントローラへ送出するソート機構をさらに備えており、

前記コントローラが、前記ソート機構より受け取った識別データをもとに前記処理結果を取得するように構成されている、

請求項 3 記載のマルチプロセッサシステム。

【請求項 5】 前記コントローラにおける前記処理結果の読み取り順序を定める優先度データを生成する手段を備えており、

前記データ処理を終了したプロセッサは、自らの識別データと共にその処理についての前記優先度データを前記ソート機構に送出するように構成されており、

前記ソート機構は、前記優先度データに基づいて前記識別データの送出順序を決定するように構成されている、

請求項 4 記載のマルチプロセッサシステム。

【請求項 6】 前記ソート機構が、前記プロセッサと同数のレジスタと、

各プロセッサから送出された前記識別データ及び優先度データを当該プロセッサに対応する前記レジスタに記録させる手段と、

各レジスタに記録されている識別データの順序性を前記優先度データ同士の比較によって判定する比較器とを備え、

この比較器による判定結果に基づいて前記識別データの送出順序を決定するように構成されている、

請求項 5 記載のマルチプロセッサシステム。

【請求項 7】 前記コントローラは、データ記録用のメモリと、前記ソート機構より受け取った識別データにより特定されるプロセッサから前記処理結果を取得して前記メモリに記録する記録制御手段と、

前記メモリに記録されている前記処理結果を読み出すとともにその処理結果及び前記受け取った識別データを含んで前記ブロードキャストデータを生成するデータ生成手段とを有するものである、

請求項 4 記載のマルチプロセッサシステム。

【請求項 8】 前記複数のプロセッサの各々が、

前記ブロードキャストデータに自らが行うデータ処理に必要なデータが含まれているか否かを判断し、前記必要なデータが含まれている場合にそのデータのみを取捨選択してデータ処理を行うデータ処理機構と、

前記コントローラからの要請に応じて前記データ処理機構で行ったデータの処理結果を自らの識別データと共に前記コントローラへ送出する手段と、

データ処理の終了を契機に自らの識別データを含む処理終了通知データを前記

ソート機構へ送出する手段とを含んで構成されている、

請求項 4 記載のマルチプロセッサシステム。

【請求項 9】 それぞれ、入力される入力データとの比較対象となるテンプレートデータを保持する複数のプロセッサと、前記複数のプロセッサに対して前記入力データをブロードキャストするコントローラと、前記複数のプロセッサの各々の出力を比較する比較機構とを備えており、

前記複数のプロセッサが保持するテンプレートデータは、それぞれ他のプロセッサが保持するテンプレートデータとは異なるものであり、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記入力データの特徴と自らが保持するテンプレートデータの特徴との差分値を算出するとともに、算出した前記差分値と自らを識別するための識別データとのペアデータを前記比較機構へ送出するものであり、

前記比較機構は、前記複数のプロセッサの各々から受け取った前記差分値に基づいていずれか一つの差分値を選択し、選択した差分値とペアデータとなる識別データを前記コントローラへ送出するものであり、

前記コントローラは、前記比較機構から受け取った識別データに基づいて前記複数のプロセッサの中から一つのプロセッサを特定するものである、

マルチプロセッサシステム。

【請求項 10】 データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするコントローラと、前記複数のプロセッサによるデータの処理結果の総和を算出する総和回路と、を備えており、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから処理に必要なデータのみを取捨選択してデータ処理を行うとともに、処理結果を前記総和回路へ送信するものであり、

前記総和回路は、前記複数のプロセッサの各々から送信された前記処理結果の総和を算出して前記コントローラへ送出するものであり、

前記コントローラは、前記総和回路から受け取った前記処理結果の総和を前記複数のプロセッサにブロードキャストするものである、

マルチプロセッサシステム。

【請求項 1 1】 前記複数のプロセッサの少なくとも一部が共有メモリを介して互いにリング接続されており、リング接続されたプロセッサ間では前記共有メモリを介してデータの受け渡しを行うように構成されている、

請求項 1、9 又は 10 記載のマルチプロセッサシステム。

【請求項 1 2】 それぞれデータの処理を行う複数のデータ処理手段と、前記複数のデータ処理手段の各々の動作を制御する制御手段とを有する装置又はシステムにおいて実行される方法であって、

前記制御手段が、前記複数のプロセッサのうちデータ処理を行ったものから所定の順序でデータの処理結果を取得するとともに取得した処理結果及び取得元のデータ処理手段を識別するための識別データとを含むブロードキャストデータを生成し、このブロードキャストデータを前記複数のデータ処理手段宛にブロードキャストする段階と、

前記複数のデータ処理手段の少なくとも一つが、前記制御手段より受け取ったブロードキャストデータの中から、それに含まれる前記識別データに基づいて特定した一部の処理結果のみを選択してデータ処理を行い、その処理結果を、自らを表す識別データと共に前記制御手段宛に送出する段階と、を有することを特徴とする、データ処理方法。

【請求項 1 3】 データ処理を行う複数のデータ処理手段と、前記複数のデータ処理手段の一部又は全部より受け取ったデータ処理結果及び少なくとも一つの前記データ処理手段によるデータ処理に用いるデータを含むブロードキャストデータをブロードキャストする制御手段とを備えており、

前記複数のデータ処理手段の各々は、前記制御手段によりブロードキャストされた前記ブロードキャストデータから自らが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、その処理結果を前記制御手段に送出するものである、

データ処理システム。

【請求項 1 4】 データ処理を行う複数のデータ処理手段の各々との間で双方向通信を行うシステムであって、

少なくとも一つの前記データ処理手段を特定するとともに特定したデータ処理手段の識別情報とそのデータ処理手段宛のデータ処理用データとを含むブロードキャストデータを生成する手段と、

前記複数のデータ処理手段の一部又は全部から当該データ処理手段で行われたデータの処理結果を取得する手段と、

受け取った前記処理結果を前記ブロードキャストデータに含め、当該ブロードキャストデータを前記複数のデータ処理手段の各々にブロードキャストする手段とを備えてなる、データ処理システム。

【請求項 1 5】 データ処理を行う複数のデータ処理手段の各々との間で双方向通信を行う、コンピュータ搭載の装置に於いて、前記コンピュータに以下の機能を形成させるためのコンピュータプログラム。

(1) 少なくとも一つの前記データ処理手段を特定するとともに特定したデータ処理手段の識別情報とそのデータ処理手段宛のデータ処理用データとを含むブロードキャストデータを生成する手段、

(2) 前記複数のデータ処理手段の一部又は全部から当該データ処理手段で行われたデータの処理結果を取得する手段、

(3) 受け取った前記処理結果を前記ブロードキャストデータに含め、当該ブロードキャストデータを前記複数のデータ処理手段の各々にブロードキャストする手段。

【請求項 1 6】 データ処理を行う複数のデータ処理手段の各々との間で双方向通信を行う、コンピュータ搭載の装置に組み込まれることにより、前記コンピュータに以下の機能を形成させる半導体デバイス。

(1) 少なくとも一つの前記データ処理手段を特定するとともに特定したデータ処理手段の識別情報とそのデータ処理手段宛のデータ処理用データとを含むブロードキャストデータを生成する手段、

(2) 前記複数のデータ処理手段の一部又は全部から当該データ処理手段で行われたデータの処理結果を取得する手段、

(3) 受け取った前記処理結果を前記ブロードキャストデータに含め、当該ブロードキャストデータを前記複数のデータ処理手段の各々にブロードキャストする

手段。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のデータ処理手段によりデータ処理を行うデータ処理システム、例えばマルチプロセッサシステム及びデータ処理方法に関する。

【0002】

【発明の背景】

高度情報化社会が進み、コンピュータ等のデータ処理装置によるデータ処理量は増大する傾向にある。また、データ処理の内容も複雑化、高度化している。従来、CPU (Central Processing Unit) などのプロセッサの高性能化や、複数のプロセッサによるマルチプロセッサ化により、データ処理装置全体の処理能力の向上を図っている。

しかし、近年、要求されるデータ処理能力の増大のスピードは、プロセッサの高性能化のスピードを凌駕するまでになっている。プロセッサの高性能化は、その開発期間が長いこともあり一朝一夕に行えるものではない。

一方、例えばマルチプロセッサによるデータ処理能力は、使用するプロセッサの数や、その処理方法により決まり、個々のプロセッサの高性能化への依存度が小さい。そのために、データ処理装置の処理能力を向上させるための有効な手段の一つとなっている。

【0003】

マルチプロセッサによるデータ処理方法を、一つのプロセッサがデータ処理時に必要とするデータの範囲により分類すると、以下のようになる。

(1) データ処理を行うプロセッサが、隣接して接続されるプロセッサにより処理されたデータのみを使用する

このような制御は、セル・オートマトン、画像フィルタ、布や波の運動の計算、曲面からのポリゴン生成の計算等に向いている。

(2) データ処理を行うプロセッサが、すべてのプロセッサにより処理されたデータを使用する

このような制御は、連想記憶器、4色問題・トラベリングセールスマン問題等の最適化、ラジオシティ、クラスタリング、多重リンクシミュレーション、学習等に向いている。

(3) データ処理を行うプロセッサが、複数のプロセッサのうちの一部のプロセッサにより処理されたデータのみを使用する

このような制御は、自己組織化計算、視覚を使った判断による群アルゴリズム、多対多の衝突判定、データベース検索、連続曲面の生成・変形計算、ボーンアニメーション、インバースキネマティクス等に向いている。

【0004】

上記の(1)の場合のデータ処理は、従来の並列プロセッサによって、効率よく実現可能である。しかし、(2)、(3)のデータ処理は、並列プロセッサ間の通信速度によりシステム全体の処理速度が制限されてしまい、各プロセッサの処理速度を十分に発揮できない。例えば、すべてのプロセッサ間をクロスバー接続することにより、(2)、(3)のデータ処理を高速に行うことも可能であるが、この場合、必要なハードウェアが膨大になり、現実的ではない。

【0005】

本発明の課題は、例えば上記の(2)、(3)のデータ処理を従来よりも効率よく行うことのできるデータ処理システム及びデータ処理方法を提供することにある。

【0006】

【課題を解決するための手段】

上記課題を解決するため、本発明は、以下のような種々のマルチプロセッサシステム、データ処理システム、データ処理方法、コンピュータプログラム及び半導体デバイスを提供する。

第1のマルチプロセッサシステムは、データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータを含むブロードキャストデータをブロードキャストするコントローラとを備えており、前記複数のプロセッサの各々が、前記コントローラによりブロードキャストされた前記ブロードキャストデータから、自らが行うデータ処理に必要なデータのみを取捨選択して

データ処理を行うものである。

このようなマルチプロセッサシステムでは、複数のプロセッサの各々が、ブロードキャストされたデータから自らが必要とするデータのみを取捨選択してデータ処理を行うために、データの競合が起こらず、全体として高速な処理が実現される。

各プロセッサがそれぞれ他のプロセッサによる処理結果を利用したり、あるいは他のプロセッサによる処理結果を参照したりすることを可能にする場合、コントローラは、前記複数のプロセッサの各々から前記データ処理による処理結果を取得するとともに、取得した処理結果を前記ブロードキャストデータとしてブロードキャストするように構成される。

【 0 0 0 7 】

好ましくは、複数のプロセッサの各々に、当該プロセッサを識別するための識別データを割り当てておき、前記コントローラを、前記処理結果に当該処理結果の取得元のプロセッサの識別データが付されたブロードキャストデータを生成し、このブロードキャストデータをブロードキャストするように構成する。このようにすれば、各プロセッサが、この識別データに基づいて、次のタイミングで自らが行うべきデータ処理に必要な処理結果を容易に取捨選択できるようになる。また、識別データにより、各プロセッサは、ブロードキャストされた処理結果がどのプロセッサによる処理結果かを容易に知ることができるようになる。

【 0 0 0 8 】

データ処理を終了した複数のプロセッサが競合する可能性がある場合は、各々のプロセッサからその識別データを取得し、取得した識別データを所定の順序で前記コントローラへ送出するソート機構をさらに備えてマルチプロセッサシステムを構成する。そして、前記コントローラが、前記ソート機構より受け取った識別データをもとに前記処理結果を取得するように構成する。この場合、前記コントローラにおける前記処理結果の読み取り順序を定める優先度データを生成する手段をさらに備え、前記データ処理を終了したプロセッサが自らの識別データと共にその処理についての前記優先度データを前記ソート機構に送出するように構成するとともに、前記ソート機構が前記優先度データに基づいて前記識別データ

の送出順序を決定するように構成する。

ソート機構を備えることにより、例えばマルチプロセッサシステム全体として処理の順序が決まっている場合などに、コントローラが必要な順序で処理結果を取得でき、システム全体として複雑な処理を効率よく実行できるようになる。

ソート機構は、例えば、前記プロセッサと同数のレジスタと、各プロセッサから送出された前記識別データ及び優先度データを当該プロセッサに対応する前記レジスタに記録させる手段と、各レジスタに記録されている識別データの順序性を前記優先度データ同士の比較によって判定する比較器とを備え、この比較器による判定結果に基づいて識別データの送出順序を決定するように構成する。

【0009】

第1のマルチプロセッサシステムにおけるコントローラは、例えば、データ記録用のメモリと、前記ソート機構より受け取った識別データにより特定されるプロセッサから前記処理結果を取得して前記メモリに記録する記録制御手段と、前記メモリに記録されている前記処理結果を読み出すとともにその処理結果及び前記受け取った識別データを含んで前記ブロードキャストデータを生成するデータ生成手段とを備えることにより、その実現が可能である。

また、前記複数のプロセッサの各々は、より具体的には、前記ブロードキャストデータに自らが行うデータ処理に必要なデータが含まれているか否かを判断し、前記必要なデータが含まれている場合にそのデータのみを取捨選択してデータ処理を行うデータ処理機構と、前記コントローラからの要請に応じて前記データ処理機構で行ったデータの処理結果を自らの識別データと共に前記コントローラへ送出する手段と、データ処理の終了を契機に自らの識別データを含む処理終了通知データを前記ソート機構へ送出する手段とを含んで構成することにより、その実現が可能である。

【0010】

第2のマルチプロセッサシステムは、それぞれ、入力される入力データとの比較対象となるテンプレートデータを保持する複数のプロセッサと、前記複数のプロセッサに対して前記入力データをブロードキャストするコントローラと、前記複数のプロセッサの各々の出力を比較する比較機構とを備えたものである。前記

複数のプロセッサが保持するテンプレートデータは、それぞれ他のプロセッサが保持するテンプレートデータとは異なるものである。複数のプロセッサの各々は、コントローラによりブロードキャストされた入力データの特徴と自らが保持するテンプレートデータの特徴との差分値を算出するとともに、算出した前記差分値と自らを識別するための識別データとのペアデータを前記比較機構へ送出するものであり、比較機構は、複数のプロセッサの各々から受け取った前記差分値に基づいていずれか一つの差分値を選択し、選択した差分値とペアデータとなる識別データを前記コントローラへ送出するものであり、コントローラは、比較機構から受け取った識別データに基づいて複数のプロセッサの中から一つのプロセッサを特定するものである。

このような構成のマルチプロセッサシステムにより、データの類似の判断が高速に行えるようになる。

【0011】

第3のマルチプロセッサシステムは、データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするコントローラと、前記複数のプロセッサによるデータの処理結果の総和を算出する総和回路とを備えたものである。複数のプロセッサの各々は、コントローラによりブロードキャストされた前記データから処理に必要なデータのみを取捨選択してデータ処理を行うとともに、処理結果を前記総和回路へ送信するものであり、総和回路は、複数のプロセッサの各々から送信された前記処理結果の総和を算出してコントローラへ送出するものであり、コントローラは、総和回路から送信された前記処理結果の総和を複数のプロセッサにブロードキャストするものである。

データ処理結果の総和は、ニューロ等の最適化計算において、正規化計算のためにしばしば必要とされる。計算された総和をブロードキャストして、各プロセッサに送信するようにしてもよい。以上の構成のマルチプロセッサシステムにより、これらの処理も高速に行える。

【0012】

なお、上記の各マルチプロセッサシステムにおいて、複数のプロセッサの少な

くとも一部を共有メモリを介して互いにリング接続し、リング接続されたプロセッサ間で前記共有メモリを介してデータの受け渡しを行うように構成するようにしてもよい。

【 0 0 1 3 】

本発明が提供するデータ処理方法は、それぞれデータの処理を行う複数のデータ処理手段と、前記複数のデータ処理手段の各々の動作を制御する制御手段とを有する装置又はシステムにおいて実行される方法であって、

前記制御手段が、前記複数のプロセッサのうちデータ処理を行ったものから所定の順序でデータの処理結果を取得するとともに取得した処理結果及び取得元のデータ処理手段を識別するための識別データとを含むブロードキャストデータを生成し、このブロードキャストデータを前記複数のデータ処理手段宛にブロードキャストする段階と、

前記複数のデータ処理手段の少なくとも一つが、前記制御手段より受け取ったブロードキャストデータの中から、それに含まれる前記識別データに基づいて特定した一部の処理結果のみを選択してデータ処理を行い、その処理結果を、自らを表す識別データと共に前記制御手段宛に送出する段階と、を有することを特徴とする。

【 0 0 1 4 】

本発明が提供する第 1 のデータ処理システムは、データ処理を行う複数のデータ処理手段と、前記複数のデータ処理手段の一部又は全部より受け取ったデータ処理結果及び少なくとも一つの前記データ処理手段によるデータ処理に用いるデータを含むブロードキャストデータをブロードキャストする制御手段とを備えており、前記複数のデータ処理手段の各々が、前記制御手段によりブロードキャストされた前記ブロードキャストデータから自らが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、その処理結果を前記制御手段に送出するものである。

【 0 0 1 5 】

第 2 のデータ処理システムは、データ処理を行う複数のデータ処理手段の各々との間で双方向通信を行うシステムであって、少なくとも一つの前記データ処理

手段を特定するとともに特定したデータ処理手段の識別情報とそのデータ処理手段宛のデータ処理用データとを含むブロードキャストデータを生成する手段と、前記複数のデータ処理手段の一部又は全部から当該データ処理手段で行われたデータの処理結果を取得する手段と、受け取った前記処理結果を前記ブロードキャストデータに含め、当該ブロードキャストデータを前記複数のデータ処理手段の各々にブロードキャストする手段とを備えたものである。

【 0 0 1 6 】

本発明が提供するコンピュータプログラムは、データ処理を行う複数のデータ処理手段の各々との間で双方向通信を行う、コンピュータ搭載の装置に於いて、前記コンピュータに以下の機能を形成させるためのコンピュータプログラムであり、本発明が提供する半導体デバイスは、データ処理を行う複数のデータ処理手段の各々との間で双方向通信を行う、コンピュータ搭載の装置に組み込まれることにより、前記コンピュータに以下の機能を形成させる半導体デバイスである。

(1) 少なくとも一つの前記データ処理手段を特定するとともに特定したデータ処理手段の識別情報とそのデータ処理手段宛のデータ処理用データとを含むブロードキャストデータを生成する手段、

(2) 前記複数のデータ処理手段の一部又は全部から当該データ処理手段で行われたデータの処理結果を取得する手段、

(3) 受け取った前記処理結果を前記ブロードキャストデータに含め、当該ブロードキャストデータを前記複数のデータ処理手段の各々にブロードキャストする手段。

【 0 0 1 7 】

【発明の実施の形態】

以下に、本発明をデータ処理システムの一例となるマルチプロセッサシステムに適用した場合の実施の形態を説明する。

【 0 0 1 8 】

<全体構成>

図1は、マルチプロセッサシステムの構成例を示した図である。このマルチプロセッサシステム1は、データ処理及びデータ記録及び読み出しのための制御手

段であるブロードキャストメモリコントローラ（以下、「BCMC (Broadcast Memory Controller)」という。）10と、各々データ処理手段の一例となる複数のセルプロセッサ20と、データ処理のための所要の機能を種々形成するための複数のWTA (Winner Take All) ・総和回路30と、を含んで構成されている。

BCMC10とすべてのセルプロセッサ20とは、ブロードキャストチャネル（一斉送出可能な通信チャネル）により接続されている。

【0019】

このマルチプロセッサシステム1は、各セルプロセッサ20によるデータ処理結果の一例となる状態変数値をBCMC10で管理し、BCMC10からすべてのセルプロセッサ20の状態変数値を、参照用数値の一例としてブロードキャストにより送出するものである。これにより、各セルプロセッサ20は、高速に他のセルプロセッサ20において発生した状態変数値を参照可能とする。

【0020】

ブロードキャストチャネルは、BCMC10と複数のセルプロセッサ20との間の伝送経路であって、アドレスの受け渡しに使用されるアドレスバスと、状態変数値などのデータの受け渡しに使用されるデータバスとを含んで構成される。アドレスには、個々のセルプロセッサ20を特定するためのセルアドレスと、すべてのセルプロセッサ20を対象とするブロードキャストアドレスとがある。

セルアドレスは、メモリ上のアドレス（物理アドレス又は論理アドレス）に対応しており、セルプロセッサ20からの状態変数値は、常に、当該セルプロセッサ20を示すセルアドレスに対応するアドレスに記憶されるようになっている。各セルプロセッサ20には、各々を識別するための識別情報として、ID (identification) が付されている。セルアドレスは、このIDにも対応するようになっている。これにより、状態変数値がどのセルプロセッサ20から出力されたのかを、セルアドレスによって特定することができる。

【0021】

WTA ・総和回路30は、図1に示すように接続される。即ち、WTA ・総和回路30は、セルプロセッサ20側を一段目としてピラミッド状に接続される。

一段目のW T A ・ 総和回路 3 0 の入力端には2つのセルプロセッサ 2 0 が接続され、出力端は二段目のW T A ・ 総和回路 3 0 の入力端に接続される。

二段目以降は、入力端の各々に下位の段の2つのW T A ・ 総和回路 3 0 の出力端が接続され、出力端に上位の段のW T A ・ 総和回路 3 0 の入力端が接続される。最上段のW T A ・ 総和回路 3 0 は、入力端に下段の2つのW T A ・ 総和回路 3 0 の出力端が接続され、出力端はB C M C 1 0 に接続される。

【 0 0 2 2 】

なお、図示の接続形態の他に、W T A ・ 総和回路 3 0 をカスケードに接続しても、本発明を実施することが可能である。この場合、一段目のW T A ・ 総和回路 3 0 の入力端には2つのセルプロセッサ 2 0 を接続し、出力端を上位の段の入力端に接続する。二段目以降のW T A ・ 総和回路 3 0 の入力端には、下位の段のW T A ・ 総和回路 3 0 の出力端とセルプロセッサ 2 0 が接続され、出力端は上位の段の入力端に接続される。最上段のW T A ・ 総和回路 3 0 は、入力端に下位の段のW T A ・ 総和回路 3 0 の出力端とセルプロセッサ 2 0 とが接続され、出力端はB C M C 1 0 に接続される。

【 0 0 2 3 】

次に、B C M C 1 0、セルプロセッサ 2 0、W T A ・ 総和回路 3 0 のそれぞれについて詳細に説明する。

【 0 0 2 4 】

< B C M C >

B C M C 1 0 は、ブロードキャストチャネルによりすべてのセルプロセッサ 2 0 にデータをブロードキャストするとともに、各セルプロセッサ 2 0 からの状態変数値を取り込んで保持する。図 2 に B C M C 1 0 の構成例を示す。

B C M C 1 0 は、マルチプロセッサシステム 1 全体の動作を制御する C P U コア 1 0 1 と、S R A M (Static Random Access Memory) などの書き換え可能なメインメモリ 1 0 2 と、D M A C (Direct Memory Access Controller) 1 0 3 とがバス B 1 で接続されて構成される。C P U コア 1 0 1 は、メインメモリ 1 0 2 と協働し、所定のコンピュータプログラムを読み込んで実行することにより、本発明の特徴的なデータ処理を行うための機能を形成するコンピュータ搭載の半

導体デバイスである。メインメモリ 1 0 2 は、システム全体の共有メモリとして使用されるようになっている。

バス B 1 には、最上段の W T A ・ 総和回路 3 0 の出力端及びハードディスクや可搬性メディア等の外部メモリも接続される。

【 0 0 2 5 】

C P U コア 1 0 1 は、起動時に上記の外部メモリから起動プログラムを読み込み、その起動プログラムを実行してオペレーティングシステムを動作させる。また、データ処理に必要となる種々のデータを上記の外部メモリから読み出し、これをメインメモリ 1 0 2 に展開する。メインメモリ 1 0 2 には、各セルプロセッサ 2 0 の状態変数値などのデータも記憶されるようにする。状態変数値は、当該状態変数値を算出したセルプロセッサ 2 0 のセルアドレスに応じたメインメモリ 1 0 2 のアドレスに記憶される。

C P U コア 1 0 1 は、また、メインメモリ 1 0 2 から読み出したデータに基づいて、各セルプロセッサ 2 0 に対してブロードキャストするブロードキャストデータを生成する。ブロードキャストデータは、例えば、状態変数値と当該状態変数値を算出したセルプロセッサ 2 0 を示すセルアドレスとの組からなるペア（組）データである。ペアデータは、1 組又は複数組生成される。

【 0 0 2 6 】

D M A C 1 0 3 は、メインメモリ 1 0 2 と各セルプロセッサ 2 0 との間のダイレクトメモリアクセス転送制御を行う半導体デバイスである。例えば、各セルプロセッサ 2 0 に対しては、ブロードキャストチャンネルを介して、ブロードキャストデータをブロードキャストする。また、各セルプロセッサ 2 0 のデータ処理結果を個別に取得して、メインメモリ 1 0 2 に書き込む。

【 0 0 2 7 】

<セルプロセッサ>

各セルプロセッサ 2 0 は、ブロードキャストデータの中から必要となるデータを取捨選択してデータ処理を行い、データ処理の終了時に、その旨を W T A ・ 総和回路 3 0 へ報告する。データ処理結果である状態変数値を、B C M C 1 0 からの指示により、B C M C 1 0 へ送出する。各セルプロセッサ 2 0 間は、図示しな

い共有メモリを介してリング接続される。各セルプロセッサ20は、データ処理を同期的なクロックで行ってもよく、各々異なるクロックで行ってもよい。図3にセルプロセッサ20の構成例を示す。

セルプロセッサ20は、セルCPU201と、入力バッファ202と、出力バッファ203と、WTAバッファ204と、プログラムコントローラ205と、命令メモリ206と、データメモリ207と、を含んで構成される。

【0028】

セルCPU201は、プログラマブルな浮動小数点演算器を備えたプロセッサであり、セルプロセッサ20内の動作を制御して、データ処理を行うものである。セルCPU201は、BCMC10からブロードキャストされたブロードキャストデータを入力バッファ202を介して取得し、ペアデータのセルアドレスにより自己が行うべき処理に必要なデータか否かを判断し、必要であればデータメモリ207の対応するアドレスに状態変数値を書き込む。また、データメモリ207から状態変数値を読み出してデータ処理を行い、データ処理結果を出力バッファ203に書き込み、WTA・総和回路30にデータ処理の終了を示すデータを送る。

【0029】

入力バッファ202は、BCMC10からブロードキャストされたブロードキャストデータを保持するものである。保持されたブロードキャストデータは、セルCPU201からの要求により、セルCPU201へ送られる。

出力バッファ203は、セルCPU201の状態変数値を保持するものである。保持された状態変数値は、BCMC10からの要求により、BCMC10へ送信される。

入力バッファ202及び出力バッファ203は、この他に制御用のデータ等の送受を行ってもよい。

WTAバッファ204は、セルCPU201によるデータ処理の終了時に、セルCPU201からデータ処理の終了を示すデータを受信して、これをWTA・総和回路30へ送信することにより、データ処理の終了をWTA・総和回路30に報告するものである。データ処理の終了を示す終了データには、例えば、自セ

ルプロセッサ20のIDと、出力バッファ203に保存された状態変数値がBCMC10へ読み取られるときの優先度を定める優先度データとが含まれる。

【0030】

プログラムコントローラ205は、セルプロセッサ20の動作を規定するプログラムをBCMC10から取り込むものである。セルプロセッサ20の動作を規定するプログラムには、セルプロセッサ20で実行されるデータ処理のためのプログラムや、当該セルプロセッサ20で処理に必要なデータを定めるデータ選択プログラム、処理結果がBCMC10へ読み取られるときの優先度を定める優先度決定プログラムなどがある。

命令メモリ206は、プログラムコントローラ205により取り込んだプログラムを保存するものである。保存したプログラムは、必要に応じてセルCPU201に読み込まれる。

【0031】

データメモリ207は、セルプロセッサ20において処理されるデータを保存するものである。セルCPU201により必要と判断されたブロードキャストデータが書き込まれる。ブロードキャストデータは、セルアドレスに応じたアドレスに保存される。

また、本実施形態ではデータメモリ207の一部は共有メモリを介して隣接するセルプロセッサ20に繋がっており、1サイクル毎に隣接するセルプロセッサ20とデータの送受が可能となっている。

【0032】

<WTA・総和回路>

複数のWTA・総和回路30は、各セルプロセッサ20から送られるデータ処理の終了を示すデータにより、BCMC10がセルプロセッサ20から状態変数値を取り込む順序を決めてBCMC10へ報告する。

図4にWTA・総和回路30の構成例を示す。

各WTA・総和回路30は、2つの入力レジスタA、B（以下、第1入力レジスタ301、第2入力レジスタ302）と、切換器303と、比較器304と、加算器305と、出力レジスタ306と、を含んで構成される。

【0033】

第1入力レジスタ301及び第2入力レジスタ302は、それぞれ整数レジスタ及び浮動小数点レジスタを備えている。整数レジスタには、例えばセルプロセッサ20から送られるデータ処理の終了を示す終了データのうち、IDが書き込まれ、浮動小数点レジスタには、例えば優先度データが書き込まれる。

切換器303は、比較器304及び加算器305のいずれか一方を活性化する。具体的には、動作モードに従って一方のみを使用可能とする。動作モードは、例えばBCMC10からの指示により決められる。動作モードについては後述する。

比較器304は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値の比較を行い、大きい方（又は小さい方）の値と、それに付随する整数とを、出力レジスタ306へ書き込む。

加算器305は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値の和を算出し、算出結果を出力レジスタ306へ書き込む。

出力レジスタ306は、第1入力レジスタ301及び第2入力レジスタ302とほぼ同じに構成される。つまり、整数レジスタ及び浮動小数点レジスタを備えている。整数レジスタにはIDが書き込まれ、浮動小数点レジスタには優先度データが書き込まれるようになっている。

【0034】

WTA・総和回路30は、以下に説明する3つの動作モードをもつ。

【0035】

・最大値（WTA）モード：

切換器303により、比較器304が活性化される。比較器304は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値A、Bの比較を行い、大きい方（又は小さい方）の値と、それに付随する整数値を出力レジスタ306に書き込む。出力レジスタ306への書き込みが終了すると、第1入力レジスタ301及び第2入力レジスタ302をクリアする。出力レジスタ306の内容は、上位の段のWTA・総和回路30の

入力レジスタに書き込まれる。このとき、書き込み先の入力レジスタがクリアされていないときは、書き込みがストールして、そのサイクルでは書き込みを行わず、次のサイクルで書き込むようにする。

【0036】

・加算モード：

切換器303により、加算器305が活性化される。加算器305により、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値A、Bの和を算出し、算出結果を出力レジスタ306に書き込む。出力レジスタ306の内容は、上位の段のWTA・総和回路30の入力レジスタに書き込まれる。

【0037】

・近似ソートモード：

切換器303により、比較器304が活性化される。比較器304は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値A、Bの比較を行い、大きい方（又は小さい方）の値と、それに付随する整数値とを出力レジスタ306に書き込む。

その後、出力レジスタ306に書き込まれた値を保持していた入力レジスタのみをクリアし、出力レジスタ306の内容を、上位の段のWTA・総和回路30の入力レジスタに書き込む。書き込み先の入力レジスタがクリアされていない場合は、書き込みがストールし、そのサイクルでは書き込みを行わない。ただし、下位の段のWTA・総和回路30の出力レジスタ306からの書き込み動作は行われる。

近似ソートモードにより、BCMC10がWTA・総和回路30の最上段の出力レジスタ306から受け取るデータが、浮動小数点が高い順或いは小さい順にソートされた（並び替えられた）ものとなる。

【0038】

なお、各モードに入る前には、すべてのWTA・総和回路30の第1入力レジスタ301、第2入力レジスタ302及び出力レジスタ306がクリアされる。

【0039】

各モードを切替えて使用することにより、複数のWTA・総和回路30全体として、上記のソートのための機構（ソート機構）及び／又は総和回路として機能する。つまり、近似ソートモードで動作するときは、ソート機構を実現するものとなり、加算モードで動作するときは、総和回路を実現するものとなる。

【0040】

最大値モード、近似ソートモードで動作するWTA・総和回路30は、次に示すようにして実現してもよい。

すなわち、セルプロセッサ20と同数の入力レジスタと、切換器と、比較器と、加算器と、出力レジスタとを含んでWTA・総和回路が構成される。

入力レジスタがセルプロセッサ20の数と同じだけ用意されており、それぞれが、第1レジスタ301、第2レジスタ302と同様に、整数レジスタ及び浮動小数点レジスタを備える。比較器は、すべての入力レジスタの浮動小数点レジスタが保持する浮動小数点値の比較を行う。加算器は、すべての入力レジスタの浮動小数点レジスタが保持する浮動小数点値の和を算出する。

出力レジスタは、図4のWTA・総和回路30の出力レジスタと同様である。

【0041】

比較器により、各入力レジスタの浮動小数点レジスタが保持する優先度データを比較して、優先度の高い順に、付随するIDを順次出力レジスタに書き込む。これにより、IDを、優先度の高い順序でBCMC10へ送ることができる。

加算器により、各浮動小数点レジスタが保持するデータを加算して、その総和を求めることができる。

このようなWTA・総和回路は、図1に示すような接続形態をとらなくとも、一つで、本発明におけるソート機構、総和回路として機能する。

【0042】

<データ処理方法>

本実施形態におけるマルチプロセッサシステム1は、以下のように動作することにより、所要のデータ処理を実行する。図5は、このマルチプロセッサシステム1において実行される処理の流れを示すフローチャートである。

【0043】

BCMC 1 0 のメインメモリ 1 0 2 には、すべてのセルプロセッサ 2 0 の状態変数値の初期値が予め記憶される。

BCMC 1 0 は、このセルプロセッサ 2 0 の状態変数値とセルプロセッサ 2 0 を示すセルアドレスとからなるペアデータにより、ブロードキャストデータを作成する（ステップ S 1 0 1）。そして、作成したブロードキャストデータを、すべてのセルプロセッサ 2 0 へブロードキャストする（ステップ S 1 0 2）。

各セルプロセッサ 2 0 は、ブロードキャストデータを、入力バッファ 2 0 2 に取り込む。セル CPU 2 0 1 は、命令メモリ 2 0 6 に記憶されたデータ選択プログラムにより、入力バッファ 2 0 2 が保持するブロードキャストデータのセルアドレスを調べて、自セルプロセッサ 2 0 が行うデータ処理に要する状態変数値があるか否かを確認する（ステップ S 1 0 3）。自らが行うデータ処理に要する状態変数値が無い場合、セルプロセッサ 2 0 は、処理動作を終了する（ステップ S 1 0 3 : 無）。自らが行うデータ処理に要する状態変数値が有る場合は（ステップ S 1 0 3 : 有）、該当する状態変数値を、この状態変数値とペアデータを組むセルアドレスに対応するデータメモリ 2 0 7 上のアドレスへ上書きする（ステップ S 1 0 4）。

以上により、BCMC 1 0 から各セルプロセッサ 2 0 へのデータのブロードキャストが終了する。

【 0 0 4 4 】

ブロードキャストが終了すると、各セルプロセッサ 2 0 は、命令メモリ 2 0 6 に記憶されたデータ処理のプログラムにより、データメモリ 2 0 7 に記録された状態変数値をデータ処理して新たな状態変数値を生成する。新たな状態変数値は、データメモリ 2 0 7 に書き込まれるとともに、出力バッファ 2 0 3 にも書き込まれる（ステップ S 1 0 5）。新たな状態変数値は、データメモリ 2 0 7 上の、自らのセルアドレスに対応するアドレスに、上書きされる。

データ処理が終了すると、セル CPU 2 0 1 は、WTA バッファ 2 0 4 を介して 1 段目の WTA・総和回路 3 0 の入力レジスタへ ID と優先度データとを含む終了データを送信して、データ処理の終了を報告する（ステップ S 1 0 6）。優先度データは、データ処理の前又は後に、所定の優先度決定プログラムによって

生成される。

【0045】

1 段目の WTA・総和回路 30 は、各セルプロセッサ 20 から送られる終了データのうち、ID を入力レジスタの整数レジスタへ、優先度データを浮動小数点レジスタでそれぞれ保持する。ここで、WTA・総和回路 30 は近似ソートモードで動作する。そのために、切換器 303 は、比較器 304 を活性化する。

WTA・総和回路 30 の第 1 入力レジスタ 301 及び第 2 入力レジスタの整数レジスタは、各々異なるセルプロセッサ 20 から送られた ID を保持する。また、各々の浮動小数点レジスタは、ID に付随した優先度データを保持する。比較器 304 は、第 1 入力レジスタ 301 及び第 2 入力レジスタ 302 の浮動小数点レジスタからそれぞれ優先度データを読み出し、優先度を比較する。比較の結果、優先度が高い方の優先度データ及びそれに付随した ID を、出力レジスタ 306 の浮動小数点レジスタ及び整数レジスタへ書き込む。出力レジスタ 306 へ内容が書き込まれた入力レジスタは、その内容がクリアされる。出力レジスタ 306 へ書き込まれた ID 及び優先度データは、上位の段の WTA・総和回路 30 の入力レジスタへ書き込まれる。

このような処理を各段の WTA・総和回路 30 で行う。最上段の WTA・総和回路 30 は、出力レジスタ 306 の整数レジスタに書き込まれた ID を BCMC10 へ送る。

以上のような処理により、WTA・総和回路 30 全体としては、ID を、優先度の高い順序で BCMC10 へ送ることとなる（ステップ S107）。

【0046】

BCMC10 は、WTA・総和回路 30 から送られる ID に該当するセルプロセッサ 20 の出力バッファ 203 から、データ処理された状態変数値を取得する。取得した状態変数値は、BCMC10 内のメインメモリ 102 上の、処理を行ったセルプロセッサ 20 を示すセルアドレスに対応するアドレスに上書きされる（ステップ S108）。

以上で、状態変数値の処理動作の 1 サイクルが終了する。

【0047】

BCMC10が、各セルプロセッサ20からデータ処理結果を取得し、これによりブロードキャストデータを生成する。

各セルプロセッサ20は、ブロードキャストデータから自分に必要となるデータのみを取捨選択してデータ処理を行う。このブロードキャストデータを用いてデータ処理を行うことにより、他のすべてのセルプロセッサ20により処理されたデータを利用する処理が可能となる。また、ブロードキャストデータを、各セルプロセッサ20からのデータ処理結果とこのデータ処理結果を生成したセルプロセッサ20を示すセルアドレスとからなるペアデータにより作成することにより、特定のセルプロセッサ20のデータ処理結果のみを用いる処理が可能となる。さらに、隣接するセルプロセッサ20間は共有メモリを介して接続されているので、従来と同様に、隣接するセルプロセッサ20間の処理も可能である。

各セルプロセッサ20が、メインメモリ102に、直接、自セルプロセッサ20で必要とするデータを取り込みに行くことがなく、ブロードキャストデータから必要となるデータを選択して、各セルプロセッサ20内にデータを保持して処理を行うので、データの競合が起こらずに高速処理が可能となる。

【0048】

[実施例1]

次に、上記のマルチプロセッサシステム1の実施例を具体的に説明する。

この実施例では、あるセルプロセッサ20とそれに隣接する他のセルプロセッサ20により処理されたデータのみを使用する場合の例を、図6を参照して説明する。

図6において、「○」はセルプロセッサを表しており、網掛された「○」がデータ処理を行うセルプロセッサ、「●」が必要とされるデータを保持するセルプロセッサである。

$n \times n$ (n は2以上の自然数)の格子の各格子点についてのデータ(格子点データ)に対して、次のようなフィルタ計算を連続的に実行する場合を考える。

$$X_{i,j} = (X_{i-1,j} + X_{i+1,j} + X_{i,j-1} + X_{i,j+1}) / 4$$

i : 格子点の行番号、 j : 格子点の列番号

【0049】

BCMC10は、格子点データを行又は列でグループ化したブロードキャストデータとして、 n 個のセルプロセッサ20にブロードキャストする。

図8は、格子点データをグループ化した例示図であり、「○」で示される格子点データを5個ずつグループ化してある。一つのグループ化した格子点データが、一つのセルプロセッサ20で処理される。

セルプロセッサ20では、ブロードキャストデータから必要とするグループ化された格子点データをデータメモリ207に保存する。データメモリ207から、格子点データを順次読み出してデータ処理する。

【0050】

共有メモリを介して接続されるセルプロセッサ20との間では、共有メモリを用いてデータ転送を行う。共有メモリへのデータの書込動作を1サイクルとすると、セルプロセッサ20間のグループ化されたデータの転送は、 $2n$ サイクルで行うことができる。

各セルプロセッサ20を同期的に動作させ、共有メモリへの書き込みと演算とをパイプライン処理のように同時に実行することにより、セルプロセッサ20間の通信と演算を同時に行うことができる。

【0051】

次のブロードキャストデータは、グループ化された格子点データのデータ処理が終了する度に、BCMC10によりブロードキャストされる。セルプロセッサ20は、ブロードキャストされるデータの i 、 j により、必要なデータか否かを判断する。

ブロードキャストデータをグループ化することにより行又は列方向のデータを処理可能であり、共有データを介してデータ転送することにより列又は行方向のデータ処理が可能となる。

【0052】

〔実施例2〕

この実施例では、すべてのセルプロセッサ20のうち、一部のセルプロセッサ20により処理されたデータのみを使用する場合の例を、図7を参照して説明する。図7において、「○」はセルプロセッサを表しており、網掛された「○」が

データ処理を行うセルプロセッサ、「」が必要とされるデータを保持するセルプロセッサである。このようなマルチプロセッサシステムは、ホップフィールドの連想記憶器の実現に有用である。

各セルプロセッサ 20 は、データ処理結果である状態変数値とその状態変数値の重要度を表す重み係数とを保持するものとする。また、セルプロセッサ 20 には、番号が付されており、BCMC 10 は、番号順にセルプロセッサ 20 から状態変数値を取り込む。

BCMC 10 は、すべてのセルプロセッサ 20 から取り込んだ状態変数値をブロードキャストデータとしてブロードキャストする。各セルプロセッサ 20 は、ブロードキャストデータから必要な状態変数値のみを選択して重み係数との積和演算を行い、状態変数値を更新する。必要な状態変数値が、ブロードキャストデータに含まれるすべての状態変数値の場合、すべてのプロセッサにより処理されたデータを使用する処理に該当することとなる。

【 0 0 5 3 】

〔実施例 3〕

次に、パターンマッチング計算処理の例を説明する。

ここでは、入力データの特徴に最も類似するデータを保持するセルプロセッサ 20 を特定する処理を行う。この処理は、以下のように行う。

各セルプロセッサ 20 は、予め比較対象となるテンプレートデータを保持する。

BCMC 10 は、入力データをすべてのセルプロセッサ 20 にブロードキャストする。各セルプロセッサ 20 は、自らが保持するテンプレートデータの特徴と入力データの特徴との差分値を算出する。差分値は、ID とともに WTA・総和回路 30 へ送られる。

WTA・総和回路 30 は、最大値モードで動作する。入力レジスタの整数レジスタは ID を保持し、浮動小数点レジスタは差分値を保持する。差分値を比較器 304 により比較して、小さい方の差分値とそれに付随する ID を出力レジスタ 306 へ送る。これを WTA・総和回路 30 全体で行い、最も小さい差分値とそれに付随する ID を求める。この ID 及び差分値を BCMC 10 へ送る。

BCMC10は、IDによりセルプロセッサ20を特定する。これにより、入力データの特徴に最も類似するテンプレートデータ及び入力データの特徴と最も類似するテンプレートデータとの差分値も検出できる。

【0054】

〔実施例4〕

次に、画像処理等の際に用いられる、動くオブジェクトの衝突判定アルゴリズムの処理例について説明する。「衝突判定アルゴリズム」は、ある空間内に存在する n 個のオブジェクト（物体）が互いに他のオブジェクトと衝突するかどうか、衝突する場合はどの程度の強度かを判定するアルゴリズムである。

n 個のオブジェクトの空間分布には偏りがあり、 m 個のクラスタに分かれているとする。ここでは、例えば、1個のオブジェクトが、他の $(n-1)$ 個のオブジェクトのいずれと最も強く衝突するかについて判定するものとする。

図9は、このような空間内のオブジェクトの例示図であり、「○」で表されるオブジェクトを矩形で囲んで1クラスタとしており、図9ではオブジェクトが5個のクラスタに分けられている。オブジェクトを示すデータは、BCMC10からブロードキャストされ、クラスタ毎にセルプロセッサ20に取り込まれる。セルプロセッサ20は、取り込んだ1つのクラスタに含まれるオブジェクトに関する空間内での位置、運動についての処理を行う。

図9の例では、セルプロセッサA～Eにより5個のクラスタに分けられたオブジェクトに関する処理が行われる。

図10により、衝突判定アルゴリズムの処理の流れを説明する。

【0055】

BCMC10は、オブジェクトの位置や速度のデータを含むオブジェクトデータと、当該オブジェクトが属するクラスタを示すクラスタデータとを含むブロードキャストデータを生成し、すべてのセルプロセッサ20にブロードキャストする（ステップS201）。各セルプロセッサ20は、ブロードキャストデータから、オブジェクトデータをクラスタデータに基づいて取捨選択して取り込む。

オブジェクトデータを取り込んだセルプロセッサ20は、オブジェクトの現在の位置データと速度データとから、単位時間後の新しい位置データを算出する。

新しい位置データから、新しいバウンディングボックスの値を得る（ステップ S 202）。バウンディングボックスとは、例えば、図 9 における、オブジェクトを囲む矩形である。バウンディングボックスの値とは、例えば、バウンディングボックスの頂点の座標である。

BCMC 10 は、オブジェクトの新しい位置データを各セルプロセッサ 20 から取り込んで位置データを更新する（ステップ S 203）。

【0056】

次に、BCMC 10 は、取得した新しい位置データ等を含むオブジェクトデータを一つずつ全セルプロセッサ 20 にブロードキャストする（ステップ S 204）。つまり、衝突判定の対象となる 1 個のオブジェクト（以下、「判定対象オブジェクト」という）の位置を表す位置データを全セルプロセッサ 20 に送る。

各セルプロセッサ 20 では、まず、ステップ S 202 で計算したバウンディングボックスを用いて、判定対象オブジェクトが衝突する可能性があるか否かを判断する（ステップ S 205）。具体的には、判定対象オブジェクトの位置がバウンディングボックス内にあるか否かを判断する。

衝突する可能性がある場合、つまり、判定対象オブジェクトがバウンディングボックス内にある場合は（ステップ S 205：Y）、そのセルプロセッサ 20 で処理される、バウンディングボックス内の各オブジェクトとの距離計算を順次行い（ステップ S 206）、衝突の判定を行う（ステップ S 207）。判定対象オブジェクトがバウンディングボックス内のいずれかのオブジェクトと衝突する場合には（ステップ S 207：Y）、その衝突による衝撃の強さを定量的に表すデータ（衝突強度データ）、衝突による判定対象オブジェクトへの影響を表すデータ等を含む衝突データを生成する（ステップ S 208）。また、セルプロセッサ 20 は、生成した衝突データのうち衝突強度データを、その ID とともに WTA・総和回路 30 に送る（ステップ S 209）。

【0057】

判定対象オブジェクトがバウンディングボックス外にある場合（ステップ S 205：N）、または距離計算の結果、衝突しないと判定した場合（ステップ S 207：N）、各セルプロセッサ 20 は、WTA・総和回路 30 に、例えば「-1

。 0」を、衝突強度データとして送る（ステップ S 2 1 0）。

W T A ・ 総和回路 3 0 は最大値モードで動作する。W T A ・ 総和回路 3 0 は、セルプロセッサ 2 0 から送られる衝突強度データを比較して、最も衝突による衝撃の強さが大きいことを表す衝突強度データを検出して（ステップ S 2 1 1）、検出した衝突強度データを生成したセルプロセッサ 2 0 を特定する。そして特定したセルプロセッサ 2 0 を表す I D を B C M C 1 0 へ送る。

B C M C 1 0 は、W T A ・ 総和回路 3 0 の最上段から送られた I D により表されるセルプロセッサ 2 0 から衝突データを取得する（ステップ S 2 1 2）。ステップ S 2 0 4 以降の処理をすべてのオブジェクトについて行うことにより、空間内のすべてのオブジェクト間の衝突判定が行われる。

【 0 0 5 8 】

[実施例 5]

次に、W T A ・ 総和回路 3 0 の加算器 3 0 5 を用いる場合の例を説明する。

各セルプロセッサ 2 0 は、データ処理結果を W T A ・ 総和回路 3 0 へ入力する。W T A ・ 総和回路 3 0 では、加算器 3 0 5 によりデータ処理結果を加算し、最終的に、すべてのセルプロセッサ 2 0 のデータ処理結果の総和を得る。このようにして、W T A ・ 総和回路 3 0 により高速にデータ処理結果の総和を得ることが可能である。

データ処理結果の総和は、B C M C 1 0 に送られて、各セルプロセッサ 2 0 にブロードキャストにより、高速に送信可能である。データ処理結果の総和は、例えば、ニューロなどの最適化計算において、正規化計算に用いられる。

【 0 0 5 9 】

以上の説明において、B C M C 1 0 と W T A ・ 総和回路 3 0 とは各々独立したものとしたが、B C M C 1 0 に W T A ・ 総和回路 3 0 を組み込んだ一つのブロックとして、コントローラを構成してもよい。

【 0 0 6 0 】

なお、以上の説明は、データ処理手段がセルプロセッサ 2 0 であり、制御手段がコントローラ（B C M C 1 0）である場合の例であるが、本発明の構成要素は、このような例に限定されるものではない。

例えば複数のデータ処理端末を広域ネットワークを介して双方向通信が可能な形態で接続し、そのうちの一つ又は複数のデータ処理端末を制御手段、他の複数のデータ処理端末をデータ処理手段として動作させ、制御手段に、複数のデータ処理手段の一部又は全部より受け取ったデータ処理結果及び少なくとも一つのデータ処理手段によるデータ処理に用いるデータを含むブロードキャストデータをブロードキャストする機能をもたせ、複数のデータ処理手段の各々に、制御手段によりブロードキャストされたブロードキャストデータから自らが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、その処理結果を制御手段に送出させる機能をもたせるようにしてもよい。

【 0 0 6 1 】

また、複数のデータ処理手段として、予め定めた識別情報（例えば上述した識別データ）によりそれを特定できる汎用のデータ処理端末を用い、これらの汎用のデータ処理端末と双方向通信可能なサーバ、あるいはCPU及びメモリを内蔵した半導体デバイスを搭載した装置をのみをもってデータ処理システムを構成するようにしてもよい。

この場合のサーバ又は装置は、その内部のCPUが所定のコンピュータプログラムを読み込んで実行することにより、サーバ本体又は装置内に、少なくとも一つのデータ処理手段としてのデータ処理端末を特定するとともに特定したデータ処理端末の識別情報とそのデータ処理端末宛のデータ処理用データとを含むブロードキャストデータを生成する機能と、複数のデータ処理端末の一部又は全部から当該データ処理端末で行われたデータの処理結果を取得する機能と、受け取った処理結果をブロードキャストデータに含め、当該ブロードキャストデータを複数のデータ処理端末の各々にブロードキャストする機能とを形成するものである。

【 0 0 6 2 】

【発明の効果】

以上のような本発明により、複数のデータ処理手段を用いる場合のデータ処理手段間のデータ処理を効率的に行えるようになる。

【図面の簡単な説明】

【図 1】

本発明を適用したマルチプロセッサシステムの構成例を示した図。

【図 2】

B C M C の構成図。

【図 3】

セルプロセッサの構成図。

【図 4】

W T A ・ 総和回路の構成図。

【図 5】

本実施形態によるマルチプロセッサシステムの処理の流れを示すフローチャート。

【図 6】

隣接するプロセッサのデータ処理結果を使用する概念図。

【図 7】

一部のプロセッサのデータ処理結果を使用する概念図。

【図 8】

格子点データをグループ化した例示図。

【図 9】

オブジェクトをクラスタに分けた場合の例示図。

【図 1 0】

衝突判定アルゴリズムの処理の流れを示すフローチャート。

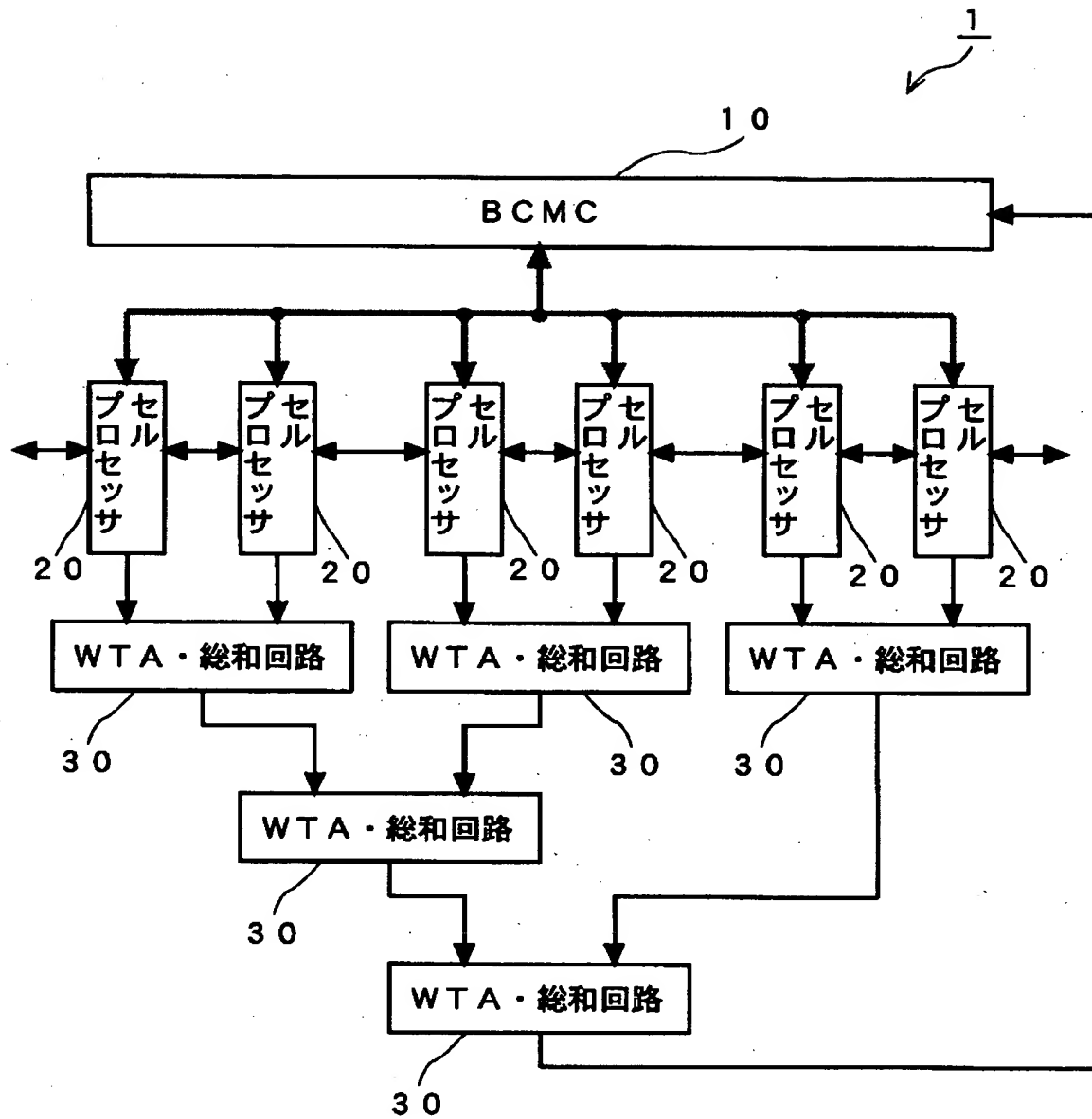
【符号の説明】

- 1 0 B C M C
- 1 0 1 C P U コア
- 1 0 2 メインメモリ
- 1 0 3 D M A C
- 2 0 セルプロセッサ
- 2 0 1 セル C P U
- 2 0 2 入力バッファ

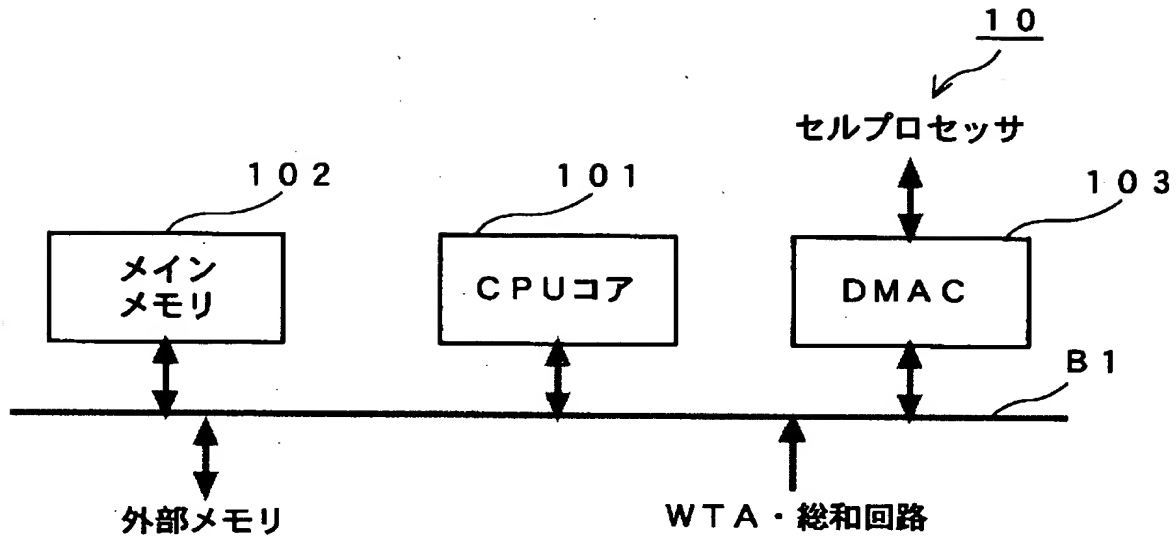
- 203 出力バッファ
- 204 WTAバッファ
- 205 プログラムコントローラ
- 206 命令メモリ
- 207 データメモリ
- 30 WTA・総和回路
- 301 第1入力レジスタ
- 302 第2入力レジスタ
- 303 切換器
- 304 比較器
- 305 加算器
- 306 出力レジスタ

【書類名】 図面

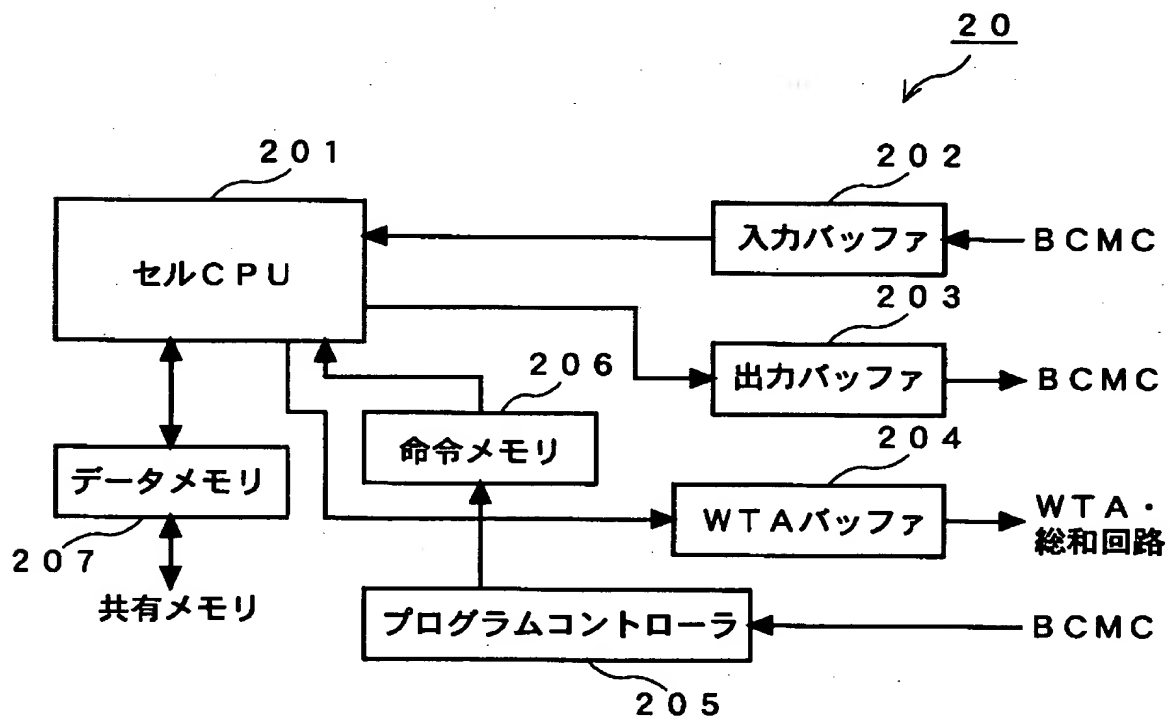
【図 1】



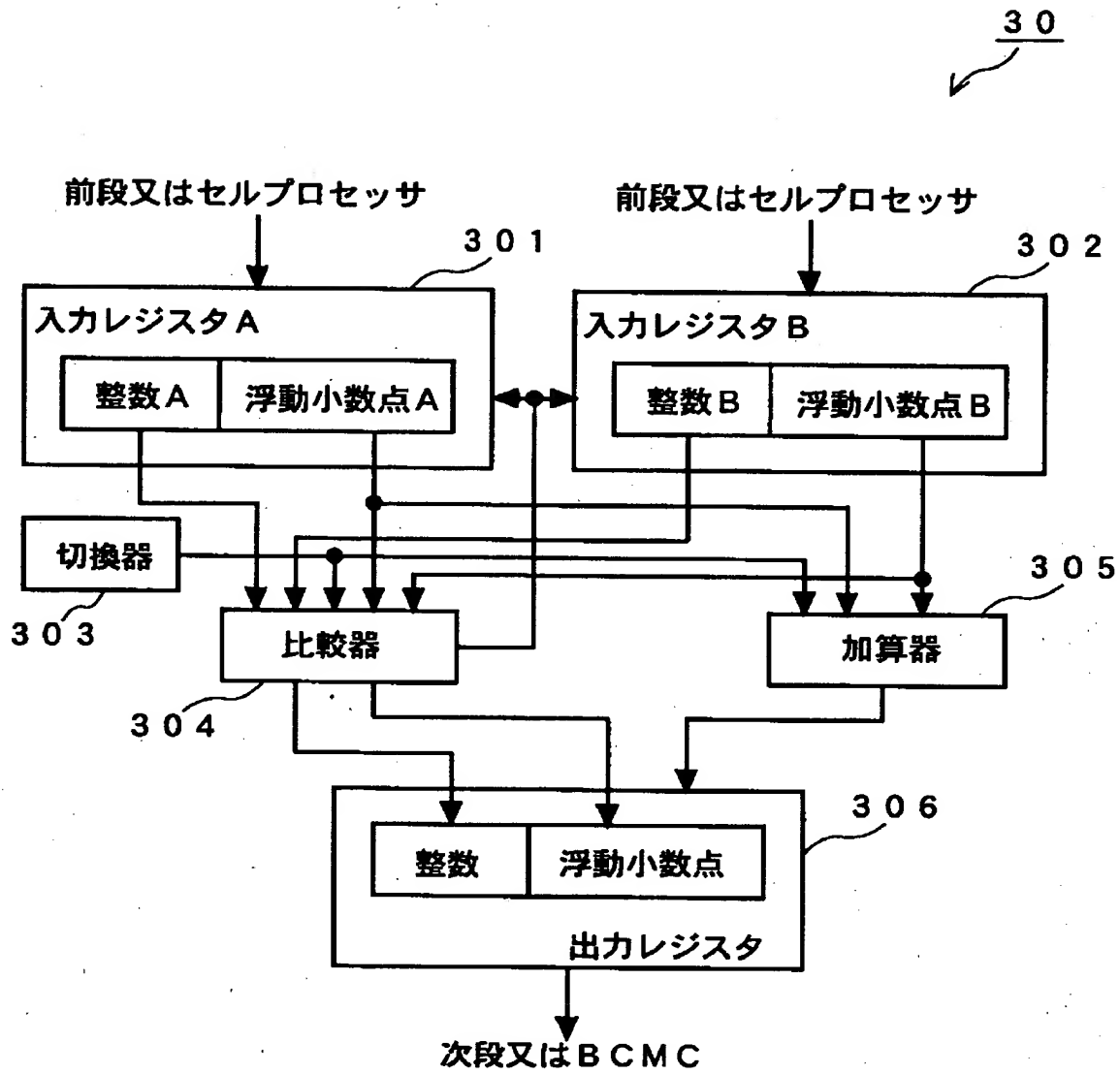
【図2】



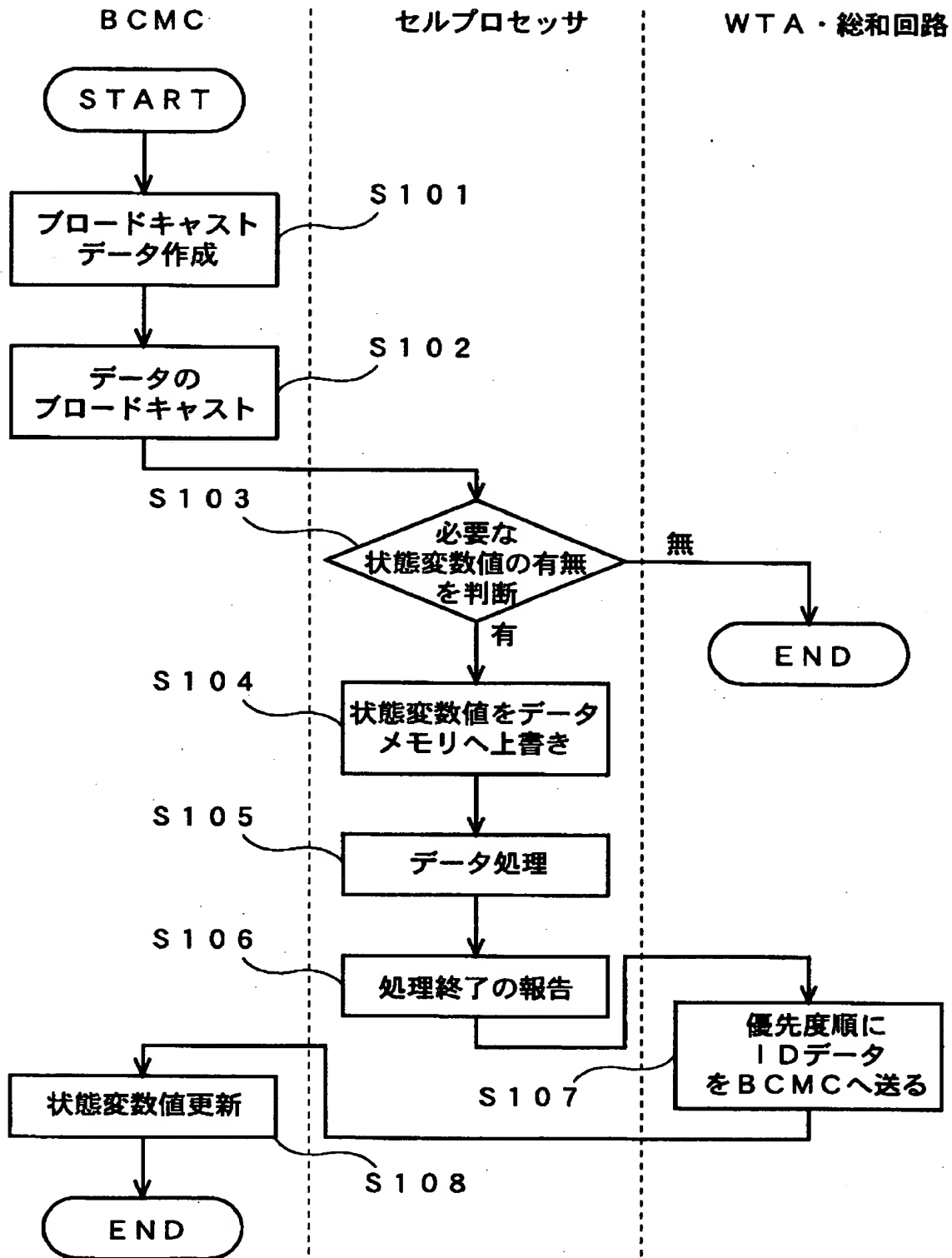
【図3】



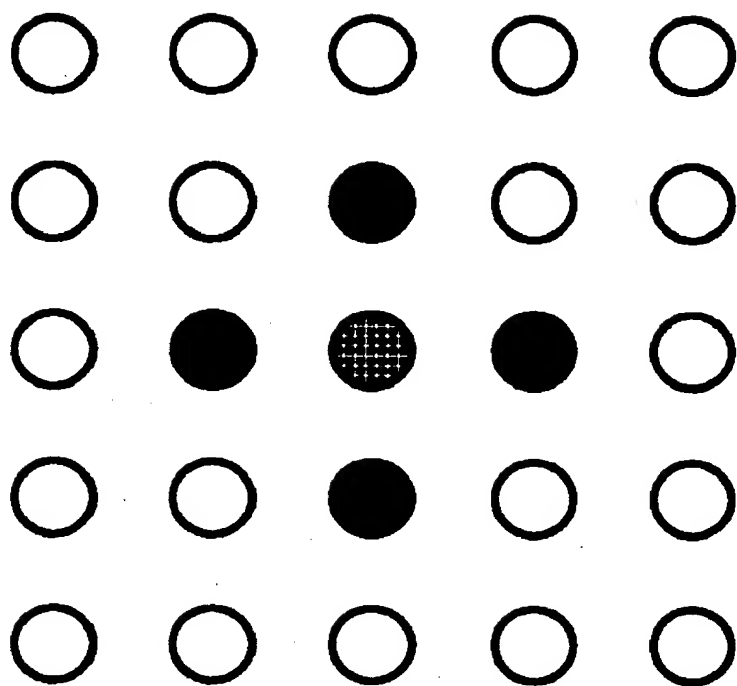
【図 4】



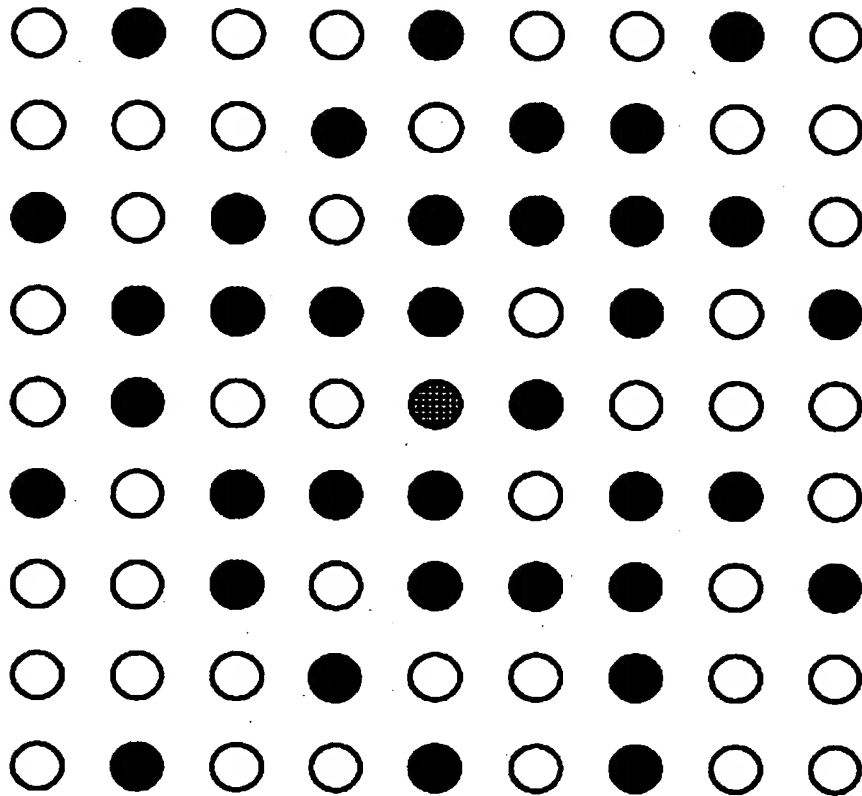
【図 5】



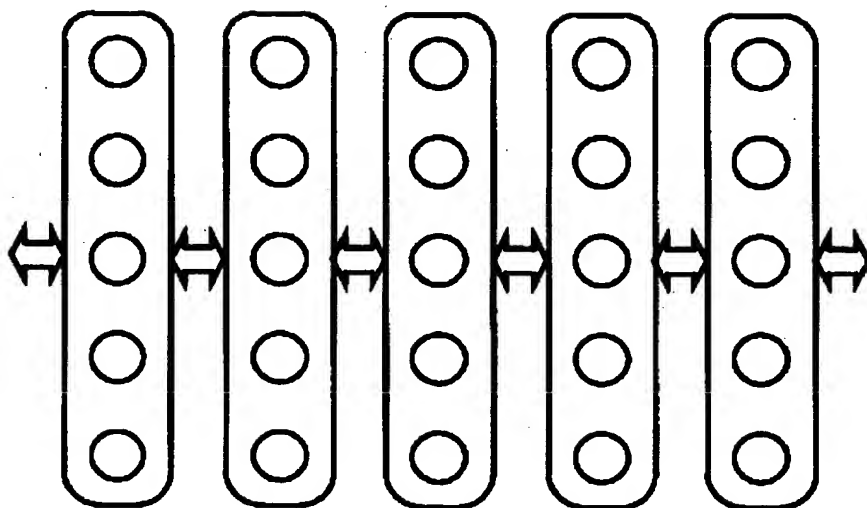
【図 6】



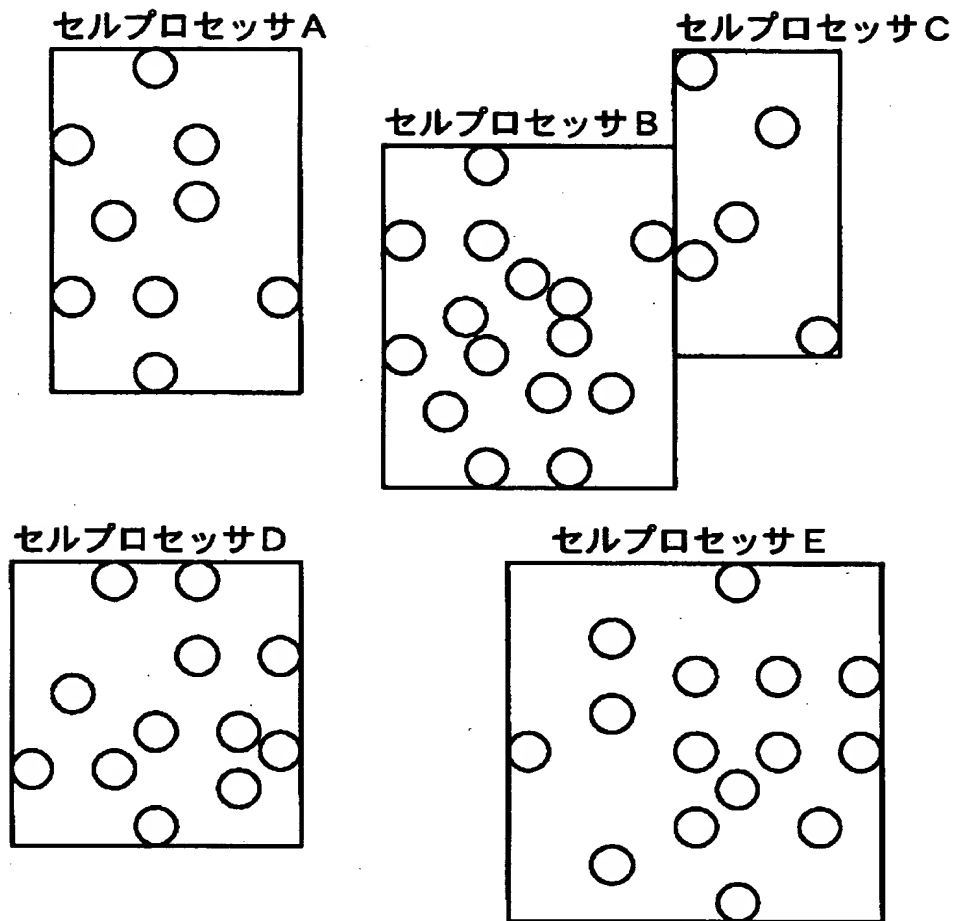
【図7】



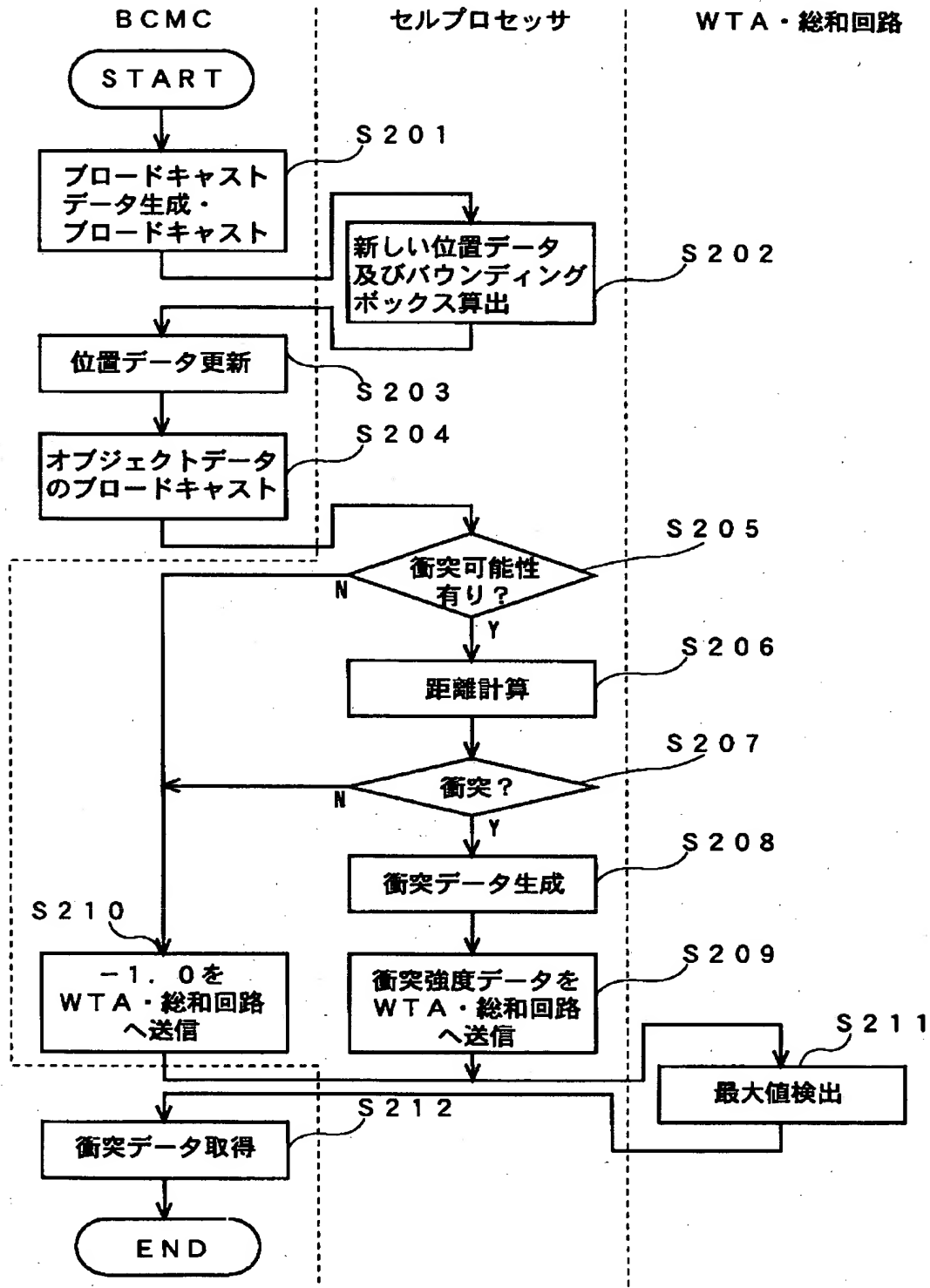
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 マルチプロセッサシステムによる高速なデータ処理を実現する。

【解決手段】 データ処理を行う複数のセルプロセッサ20と、複数のセルプロセッサに対してデータ処理に用いるデータを含むブロードキャストデータをブロードキャストするBCMC10とを備えており、複数のセルプロセッサの各々が、BCMCによりブロードキャストされたブロードキャストデータから、自セルプロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行う。BCMCが、すべてのセルプロセッサのデータ処理結果を取得して、ブロードキャストデータとしてすべてのセルプロセッサへ供給可能であるので、セルプロセッサ間のデータ処理結果を高速に送受でき、システム全体として高速なデータ処理が可能となる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [395015319]

1. 変更年月日 1997年 3月31日

[変更理由] 住所変更

住 所 東京都港区赤坂7-1-1

氏 名 株式会社ソニー・コンピュータエンタテインメント